

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-54649

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.⁶

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

L

審査請求 未請求 請求項の数17 O L (全 12 頁)

(21) 出願番号 特願平10-69675

(22) 出願日 平成10年(1998) 3月19日

(31) 優先権主張番号 特願平9-148860

(32) 優先日 平 9 (1997) 6 月 6 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町 1 番 1 号

(72) 発明者 下石坂 望

大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

(72) 発明者 佐原 隆一

大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

(72) 発明者 中村 嘉文

大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

(74) 代理人 弁理士 前田 弘 (外 2 名)

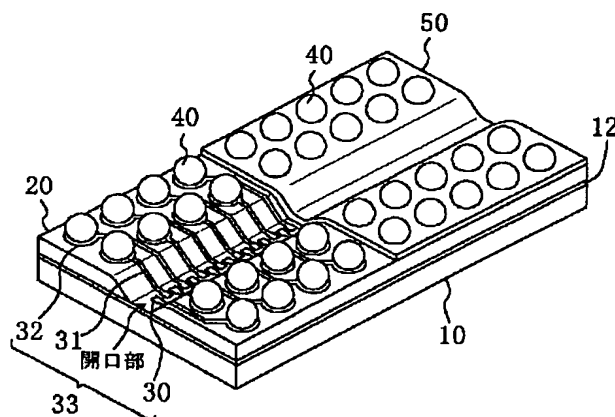
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 応力の緩和などによる信頼性の高い、かつ製造工数や設備コストの低減が可能で製造コストの安価な半導体装置およびその製造方法を提供する。

【解決手段】 半導体基板 10 の主面上には、素子電極 11 が配置されている電極配置領域を開口させた低弾性率層 20 が設けられている。そして、低弾性率層 20 の上に外部電極となるランド 32 が設けられ、素子電極 11 の上のパッド 30 とランド 32 と両者を接続する金属配線 31 とを一体化した金属配線パターン 33 が構成されている。ランド 32 の一部を開口させたソルダーレジスト膜 50 が形成されており、その開口内のランド 32 の上に金属ボール 40 が設けられている。低弾性率層 20 で半導体装置の加熱・冷却に伴って発生する熱応力などの応力を吸収し、金属配線 31 の断線を防止できるように構成されている。



⑥



Home



Search



List

☐ Include**MicroPatent® PatSearch FullText: Record 1 of 1**

Search scope: US EP WO JP; Full patent spec.

Years: 1990-2001

Text: Patent/Publication No.: WO9856041

[no drawing available]

[Download This Patent](#)[Family Lookup](#)[Go to first matching text](#)**WO9856041****SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME**
MATSUSHITA ELECTRONICS CORPORATIONInventor(s): SHIMOISHIZAKA, Nozomi ; SAHARA, Ryuichi ; NAKAMURA, Yoshifumi ;
KUMAKAWA, Takahiro ; MURAKAMI, Shinji ; HARADA, Yukata

Application No. JP9802397, Filed 19980528, A1 Published 19981210

Abstract: A low elastic modulus layer (20) having an electrode arranging area that is formed by cutting the layer (20) for arranging element electrodes is provided on the main surface of a semiconductor substrate (10). Lands (32) which function as external electrodes are provided on the layer (20), and pads (30) on the element electrodes, lands (32), and metallic wirings (31) which connect the pads (30) and lands (32) to each other are integrated to constitute a metallic wiring pattern (33). Solder resist films (50) through which part of the lands (32) are opened are formed and metallic balls (40) are put on the lands (32) in the openings of the film (50). The layer (20) is constituted so that it absorbs stresses, such as the thermal stress generated when a semiconductor device is heated or cooled, and thus prevents the disconnection of the wiring (31).

Int'l Class: H01L02312;

Priority: JP 9/148860 19970606 ; JP 10/69675 19980319

Designated States: KR SG US AT BE CH CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE



Home



Search



List

☐ Include

For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)